

Digital ramp generator

Patent Number: US5774390
Publication date: 1998-06-30
Inventor(s): TAILLIET FRANOIS PIERRE (FR)
Applicant(s): SGS THOMSON MICROELECTRONICS (FR)
Requested Patent: EP0745996, A3, B1
Application Number: US19960652710 19960530
Priority Number(s): FR19950006498 19950531
IPC Classification: G06G7/00; G06J1/00
EC Classification: G11C16/12, H03K4/02C
Equivalents: DE69601976D, DE69601976T, FR2734941

Abstract

A digital ramp generator including a controlled sampling circuit receiving an input voltage, an adding circuit for adding the said input voltage to an actual output voltage to provide a new voltage which is greater than the said input voltage, and a voltage follower circuit receiving the new voltage and providing a new output voltage corresponding to the new voltage which is greater than the said actual output voltage.

Data supplied from the esp@cenet database - I2

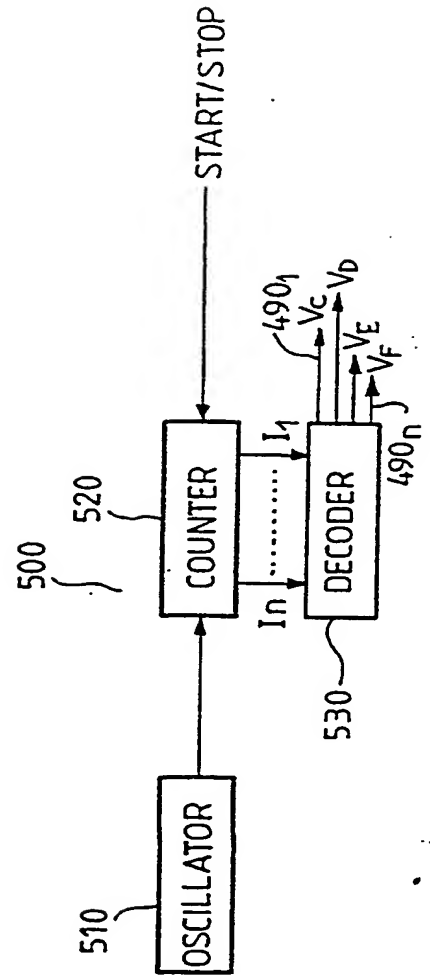
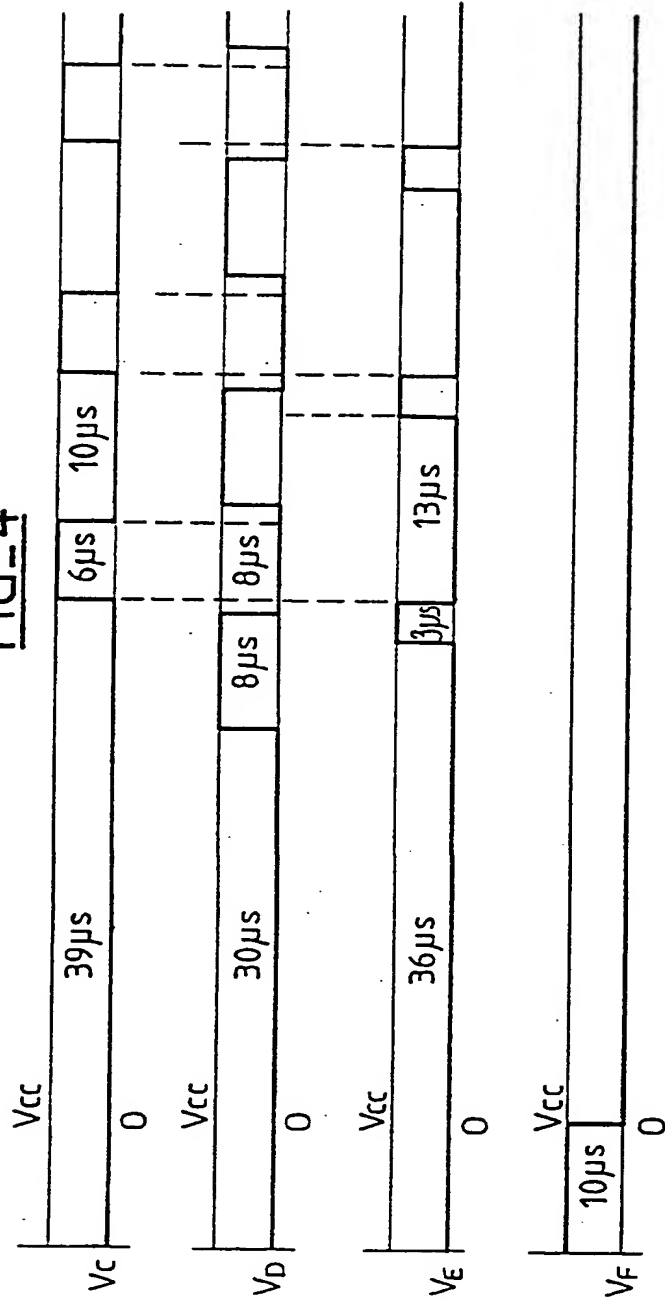
Docket # W2B-1NF-1816

Applic. # _____

Applicant: Michael Hausmann

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101

FIG_4



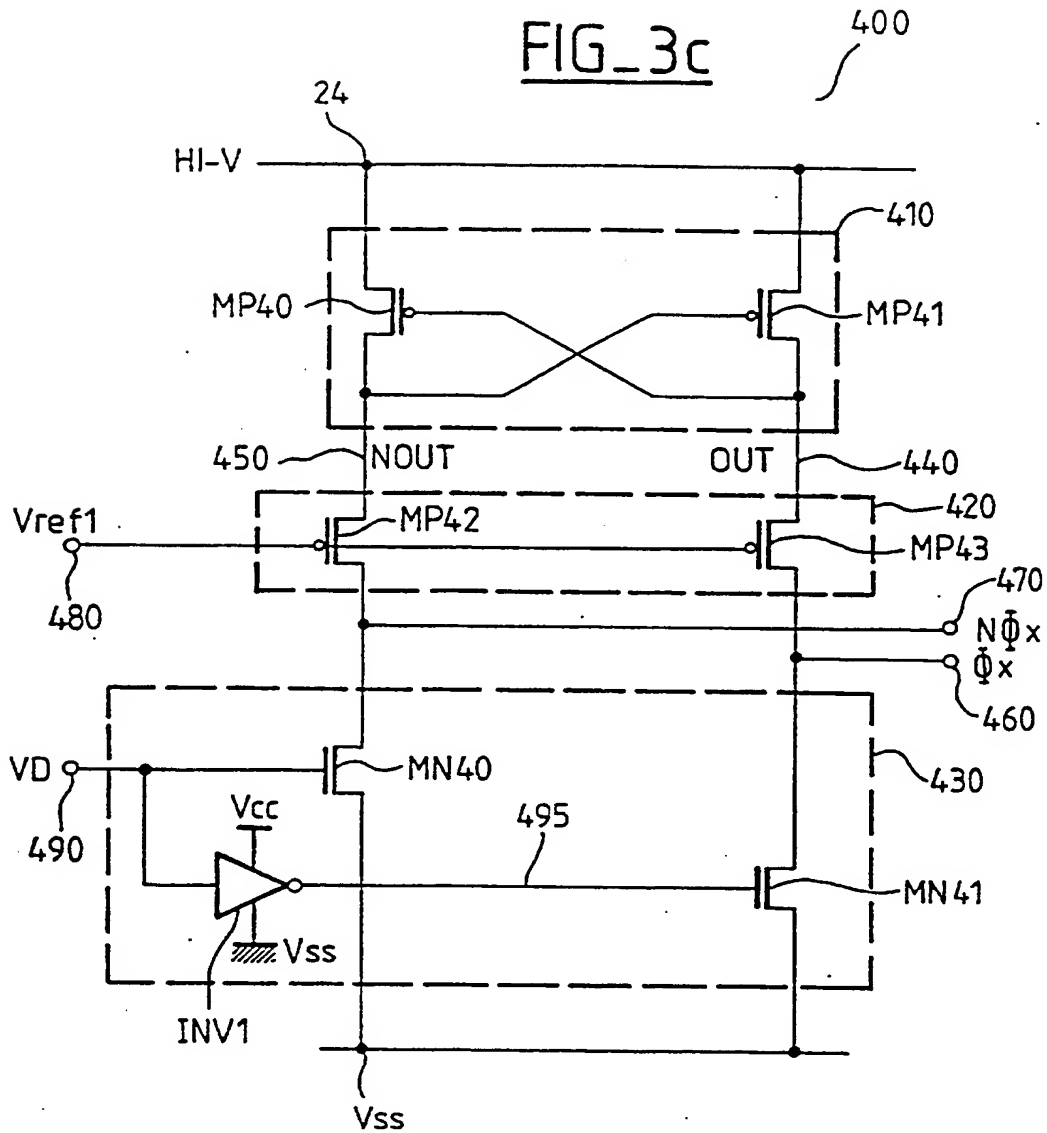
FIG_5

30.04.99

23

4/5

FIG_3c

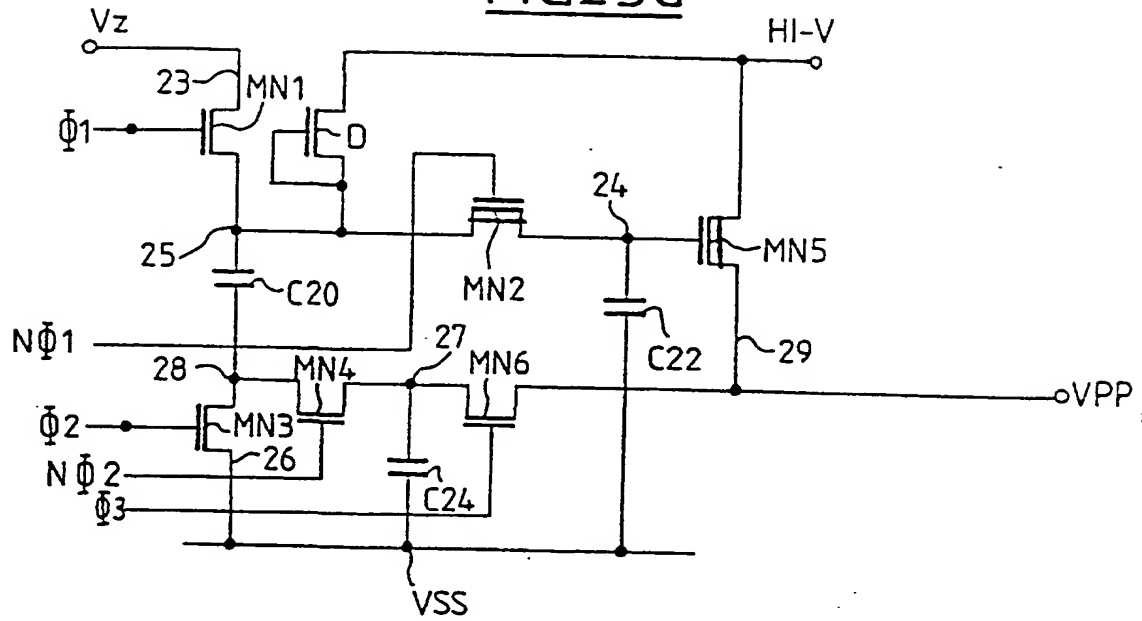


30.04.99

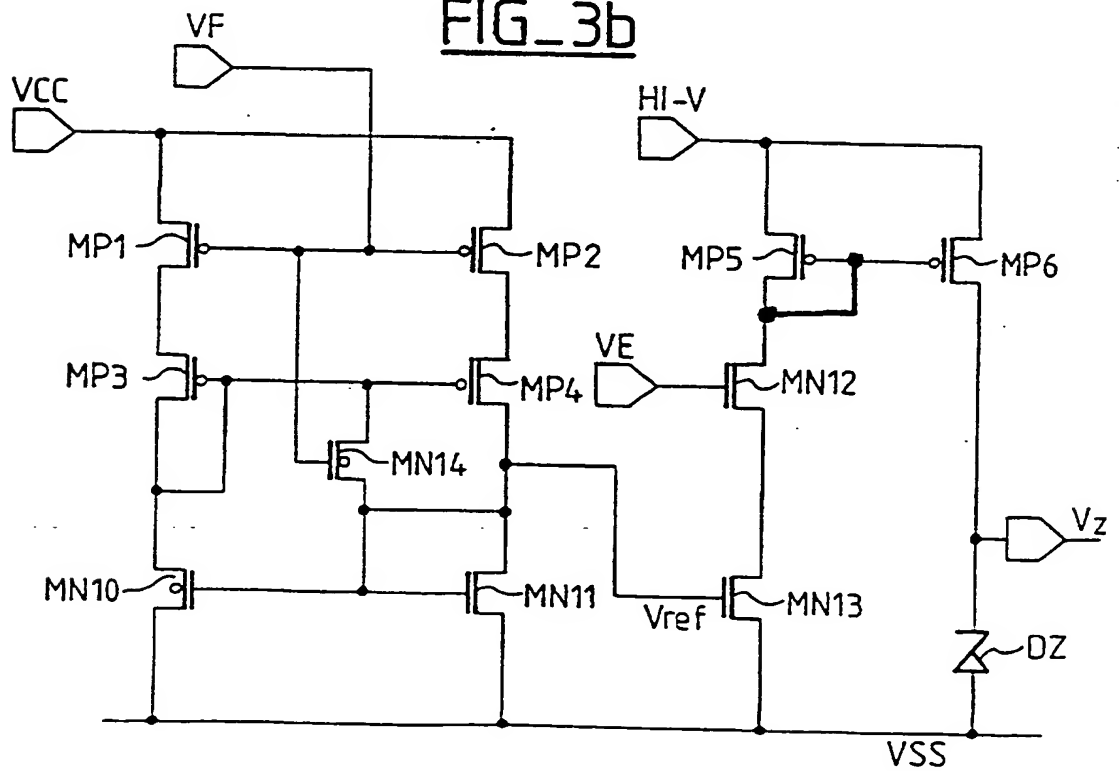
22

3/5

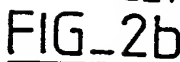
FIG_3a



FIG_3b



21



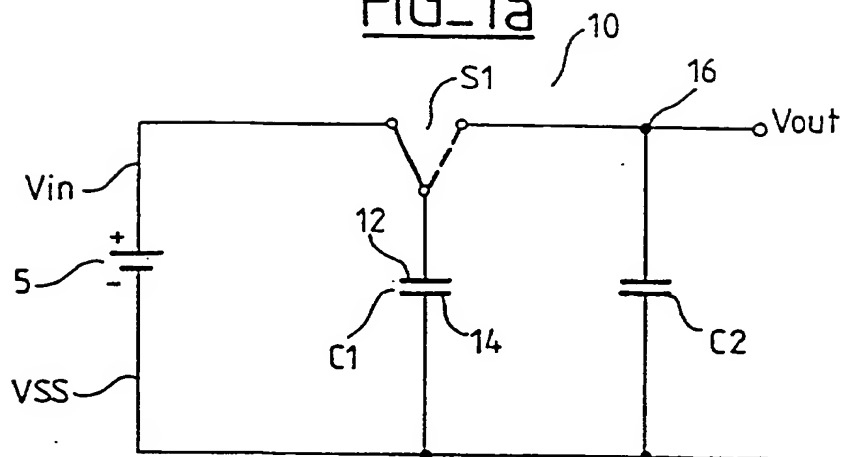
30.04.99

EP 0 745 996

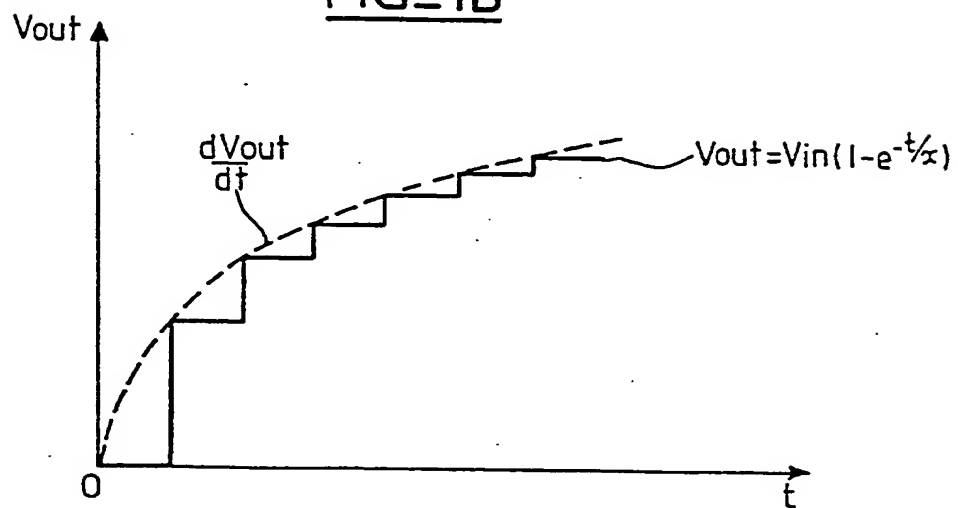
20

1/5

FIG_1a



FIG_1b



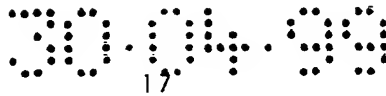
30.04.99

19

5

13. Verwendung eines digitalen Rampengenerators nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß die Ausgangsspannung (VPP) der Spannungsleitungsschaltung (22) eine Vorrichtung zur Programmierung eines Speichers versorgt.
14. Integrierte Schaltung einer Chipkarte, dadurch gekennzeichnet, daß sie einen digitalen Rampengenerator nach einem der Ansprüche 1 bis 12 umfaßt.

7. Digitaler Rampengenerator nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß die erste Spannungsleitungsschaltung einen MOS-Transistor (MN5) aufweist, der umfaßt:
 - einen Drain-Anschluß, die an einen Netzknoten angelegt ist, der Hochspannung (HI-V) liefert,
 - einen Source-Anschluß, der an die Anschlußklemme (29) des Generators angelegt ist, und
 - einen Gate-Anschluß, der an die zweite Klemme (24) des ersten Schalters (S20) angelegt ist.
8. Digitaler Rampengenerator nach Anspruch 7, dadurch gekennzeichnet, daß die Spannungsleitungsschaltung ferner eine Diode (D) aufweist, deren Anode an die dritte gemeinsame Klemme (25) des zweiten Schalters (S20) angelegt ist, und deren Kathode an den Drain-Anschluß des MOS-Transistors (MN5) angelegt ist.
9. Digitaler Rampengenerator nach Anspruch 8, dadurch gekennzeichnet, daß die Diode (D) durch Verwendung eines MOS-Transistors hergestellt wird.
10. Digitaler Rampengenerator nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß der erste und zweite Schalter (S20, S22) MOS-Transistoren des N-Typs umfassen, die in geeigneter Weise geschaltet und gesteuert werden.
11. Digitaler Rampengenerator nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß die Kapazität des zweiten Kondensators (C20) geringer ist als die Kapazität des dritten Kondensators (C22), sowie dadurch, daß die Kapazität des dritten Kondensators (C22) geringer ist als die Kapazität des ersten Kondensators (C24).
12. Digitaler Rampengenerator nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß er auf einem monolithischen Halbleitersubstrat ausgeführt ist.



3. Generator nach Anspruch 1, dadurch gekennzeichnet, daß er einen dritten einpoligen Schalter (S24) mit einem Kontakt umfaßt, der in Serie zwischen der Ausgangsklemme (29) der Spannungsleitungsschaltung (22) und einer ersten Platte (27) des ersten Kondensators (C24) geschaltet ist, dessen zweite Platte an dem Masseeingang (VSS) angelegt ist.

5
4. Generator nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß:

10

 - der erste Schalter (S20) eine erste Klemme (23) umfaßt, die an den Versorgungseingang (Vcc) angelegt ist, eine zweite Klemme (24), die an einen Eingang der Spannungsleitungsschaltung (22) angelegt ist, und eine dritte, gemeinsame Klemme (25), die an eine erste Platte des zweiten Kondensators (C20) angelegt ist;
 - 15
 - der zweite Schalter (S22) eine erste Klemme (26) umfaßt, die an den Masseeingang (VSS) angelegt ist, eine zweite Klemme (27), die an die erste Platte (27) des ersten Kondensators (C24) angelegt ist, und eine dritte, gemeinsame Klemme (28), die an eine zweite Platte des zweiten Kondensators (C20) angelegt ist.
 - 20
5. Digitaler Rampengenerator nach Anspruch 4, dadurch gekennzeichnet, daß die Steuerschaltung den ersten und den zweiten Schalter (S20, S22) gleichzeitig oder praktisch gleichzeitig von ihrer jeweiligen ersten Klemme (23, 26) zu ihrer jeweiligen zweiten Klemme (24, 27) kippen läßt.

25
6. Generator nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, daß die Steuerschaltung den dritten Schalter (S24) in seine geschlossene Position kippen läßt, nachdem der erste und zweite Schalter (S20, S22) jeweils in Richtung auf ihre erste jeweilige Klemme (23, 26) gekippt sind, und in seine offene Position, bevor der erste und zweite Schalter (S20, S22) jeweils in Richtung auf ihre zweite jeweilige Klemme (24, 27) gekippt sind.

30



EP 0 745 996

ANSPRÜCHE

- 5 1. Digitaler Rampengenerator, der einen geregelten Meßkreis umfaßt, dadurch gekennzeichnet, daß er umfaßt:
- eine Übertragungsschaltung oder Spannungsleitungsschaltung (22),
 - einen ersten Kondensator (C24), der mit einer üblichen Ausgangsspannung (Vpp) der Spannungsleitungsschaltung (22) aufgeladen wird,
 - 10 - einen zweiten Kondensator (C20), der in Serie zwischen einem ersten (S20) und einem zweiten (S22) einpoligen Schalter mit zwei Kontakten geschaltet ist,
 - einen dritten Kondensator (C22), der zwischen einem ersten Eingang der Spannungsleitungsschaltung (22) und dem Masseeingang (VSS) geschaltet ist,
 - 15 - eine Steuerschaltung, die Steuersignale ($\phi 1$, $\phi 2$) der Schalter (S20, S22) erzeugt, so daß in einer ersten entsprechenden Position (23, 26) der Schalter der zweite Kondensator (C20) zwischen einem Versorgungseingang (Vcc) und dem Masseeingang (Vss) geschaltet ist, so daß
 - 20 er sich mit einer Versorgungsspannung (Vcc, Figur 2a; VZ, Figuren 3a und 3b) auflädt, während er in einer zweiten entsprechenden Position (24, 27) der Schalter in Serie mit dem ersten Kondensator (C24) geschaltet ist, so daß die Versorgungsspannung (Vcc) zur üblichen Ausgangsspannung (VPP) der Spannungsleitungsschaltung hinzukommt,
 - 25 wobei der erste (C24) und der zweite (C20) Kondensator dann parallel mit dem dritten Kondensator (C22) geschaltet sind, so daß eine neue Ausgangsspannung der Spannungsleitungsschaltung (22) erzeugt wird, die über der genannten üblichen Ausgangsspannung liegt.
 - 30
2. Generator nach Anspruch 1, dadurch gekennzeichnet, daß der erste Kondensator (C24) zwischen der Ausgangsklemme (29) der Spannungsleitungsschaltung (22) und dem Masseeingang (VSS) geschaltet ist.

35

0243-53.568EPDE-G1

30.04.99

generator von allen Prozeß- und Temperaturschwankungen und Schwankungen der Versorgungsspannung (VCC) unabhängig, und die Programmierungsspannung VPP am Ausgang 24 des digitalen Rampengenerators ist praktisch linear.

nahezu gleich VPP ist, während das Steuersignal $N\Phi x$ auf einem Spannungspegel ist, der nahezu gleich VSS ist. Die Signale Φx und $N\Phi x$ sind gegenphasig, während die Signale Φx und VC oder VD gleichphasig sind.

Von Figur 3a an kann man sehen, daß das Steuersignal $\Phi 2$ das Steuersignal $\Phi 1$ und das Steuersignal $N\Phi 2$ das Steuersignal $N\Phi 1$ sein kann. Somit können diese vier Steuersignale $\Phi 1$, $N\Phi 1$, $\Phi 2$, $N\Phi 2$ von ein und derselben Spannungspegel-Wandlerschaltung aus erzeugt werden; das Steuersignal $\Phi 3$ wird dann von einem anderen Hochspannungs-Inverter erzeugt. Als Variante können die Steuersignale $\Phi 1$, $N\Phi 1$ und $\Phi 2$, $N\Phi 2$ von unterschiedlichen Hochspannungs-Invertern erzeugt werden. Ferner kann der Transistor MN6 der Figur 3a von dem Steuersignal $N\Phi 2$ (oder $N\Phi 1$) statt $\Phi 3$ gesteuert werden.

Figur 4 zeigt Chronogramme der vorstehend genannten Signale VC, VD, VE und VF. VF ist niedrig, wenn ein Ausgang VPP in Form einer Rampe erzeugt werden soll. VE, das die Leitung von DZ auslöst, ist am Ende eines aktiven Impulses VD aktiv, der wiederum die Schalter S20 und S22 triggert. So lädt sich der Kondensator C20, wenn VD aktiv ist und sobald VE aktiv wird. Anschließend steigt VC, wenn VD niedrig ist, auf einen hohen Spannungswert an. Eine hohe Spannung, die VC entspricht, wird an MN6 angelegt, der als Schalter S24 wirkt. Auf einer aktiven Stufe VC ist S24 geschlossen.

Figur 5 zeigt ein Schaltbild eines Steuersignalgenerators 500, der zur Erzeugung der Signale der Figur 4 eingesetzt wird. Der Generator 500 umfaßt einen Oszillator 510, einen Zähler 520 und einen Dekoder 530.

Der Oszillator 510 steuert den Zähler 520 an, und der Dekoder 530 erhält von dem Zähler 520 mehrere Signale an den Eingängen I1 bis In, und der Dekoder 530 sendet mehrere Steuersignale VC bis VF, welche die geeigneten Taktrelationen aufweisen. Der Dekoder 530 und der Zähler 520 sind den Fachleuten bekannt.

Der Betrieb des digitalen Rampengenerators kann durch ein Signal EIN/AUS gesteuert werden, das von dem Zähler 520 empfangen wird.

Auf diese Weise hängt die Wechselgeschwindigkeit der Programmierungsspannung VPP - vorausgesetzt, der Ausgang des Oszillators 510 ist stabil -, d.h. $dVPP/dt$ nur von dem Verhältnis der Kapazitäten C20 und C22, d.h. $C20/C22$ ab, das ein Flächenverhältnis ist, das mit Präzision gesteuert werden kann. Als Ergebnis dieser Abhängigkeit von dem Flächenverhältnis der Kondensatoren C20 und C22 ist der erfindungsgemäße digitale Rampen-

Zwei jeweilige Eingangsklemmen der Umschaltstufe 430 sind an die jeweiligen Ausgangsklemmen 460 bzw. 470 der Cascodestufe 420 angelegt. Die Umschaltstufe 430 wird mittels einer dritten Eingangsklemme 490 gesteuert, und zwar durch ein Eingangs-Steuersignal VC oder VD (entsprechend den zu erzeugenden Signalen $\Phi 1$ oder $\Phi 2$) und ist an die VSS-Spannungsquelle angelegt. Die Spannungspegel der Eingangs-Steuersignale VC oder VD werden vorzugsweise von der Vcc-Spannungsquelle aus erzeugt.

Die Umschaltstufe 430 umfaßt zwei NMOS-Transistoren MN40 und MN41 und einen Inverter INV1, vorzugsweise einen CMOS-Inverter. Die Drain-Klemmen der Transistoren MN40 und MN41 sind jeweils an die Source-Klemmen der Transistoren MP42 und MP43 angelegt. Die Steuersignale VC oder VD werden an die Gate-Klemme des Transistors MN40 und die Eingangsklemme des Inverters INV1 angelegt. Die Gate-Klemme des Transistors MN41 ist an die Ausgangsklemme 495 des Inverters INV1 angelegt. Ein Hochspannungsversorgungspol des Inverters INV1 ist an die VCC-Spannungsquelle angelegt, während der Niederspannungsversorgungspol des Inverters INV1 an die VSS-Spannungsquelle angelegt ist.

Da die Hochspannungs-Inverterschaltung 400 symmetrisch funktioniert, wird nur ihr Funktionieren in einem hohen, konstanten logischen Zustand, d.h. ein Spannungspegel VCC, betrachtet, der an der Gate-Klemme 490 des Transistors MN40 vorhanden ist, da Fachleute den umgekehrten Fall problemlos daraus ableiten kann.

Somit ist der Transistor MN40 leitend, während der Transistor MN41 nicht leitend ist. Auf diese Weise senkt der Transistor MN40 die Spannung an der Drain-Klemme 470 des Transistor MP42 bis auf einen Wert, der nahezu gleich VSS ist. Dadurch, daß der Transistor MP42 (und letztlich der Transistor MP43) durch Vref1 durch die Klemme 480 geschaltet wird, ist er leitend, und daraus folgt, daß die Spannung des Knotens 450 bis auf einen Pegel abgesenkt wird, der nahezu gleich $V_{PP}-V_{ref1}+V_{tp}$ ist. Der zusätzliche Betrag V_{tp} resultiert daraus, daß die Gehäuse, in denen die P-Transistoren MP40 und MP43 hergestellt werden, auf die Spannung HI-V gebracht werden. Dadurch, daß die jeweiligen Drain- und Gate-Klemmen der jeweiligen Transistoren MP40 und MP41 gekreuzt werden, erhöht sich, wenn die Spannung eines der Gates dieser Transistoren gesenkt wird, die Spannung des anderen, so daß zusätzliche Signale OUT und NOUT erzeugt werden. Bei dieser besonderen Ausführungsform ist das Steuersignal Φx auf einem Spannungspegel, der

Spiegel wiederum wird durch ein Signal VF umgeschaltet, das an das Gate des Kopiertransistors MP1 und MP2 angelegt ist. Wenn keine Spannung VPP erforderlich ist, hat VF den Wert VZ und sind die Transistoren MP1 und MP2 blockiert. Wenn VPP benötigt wird, ist VF auf VSS festgelegt. Da es eine konstante Spannung Vref gibt, die eine Schaltung ansteuert, die selbst eine konstante Spannung VZ liefert, wird in der Diode DZ Strom geringer Leitung erzeugt, ohne daß man die Nachteile einer Veränderung der Spannung DZ aufgrund einer Veränderung dieses schwach leitenden Stroms hat.

Figur 3c zeigt eine Hochspannungs-Umkehrschaltung, die dazu bestimmt ist, die Hochspannungs-Steuersignale Φx und $N\Phi x$ zu erzeugen. Bei der Schaltung der Erfindung sind zum Ansteuern der Schalter S20 bzw. S24 zwei Schaltungen dieses Typs erforderlich.

Die dargestellte Hochspannungs-Umkehrschaltung 400 umfaßt: eine über Kreuz geschaltete Stufe 410; eine Cascodestufe 420; und eine Umschaltstufe 430. Sie liefert die zusätzlichen Hochspannungs-Signale Φx , $N\Phi x$.

Die über Kreuz geschaltete Stufe 410 ist an die Spannung HI-V gelegt und erzeugt an ihren jeweiligen Ausgangsklemmen 440 bzw. 450 zwei zusätzliche Ausgangssignale mit hoher Spannung OUT und NOUT. Die über Kreuz geschaltete Stufe 410 umfaßt zwei PMOS-Transistoren MP40 und MP41, deren Source jeweils an die Spannung HI-V angelegt ist. Das Gate des Transistors MP40 ist an den Drain 440 des Transistors MP41 und das Gate des Transistors MP41 an den Drain 450 des Transistors MP40 angelegt.

Zwei jeweilige Eingänge der Cascodestufe 420 sind an die entsprechenden Ausgänge 440 und 450 der über Kreuz geschalteten Stufe 410 angelegt. Die Cascodestufe 420 liefert die zusätzlichen Hochspannungs-Steuersignale Φx und $N\Phi x$ an ihren jeweiligen Klemmen 460 bzw. 470. Die Cascodestufe 420 umfaßt zwei PMOS-Transistoren MP42 und MP43, deren Source-Klemmen jeweils an die Drain-Klemmen der Transistoren MP40 und MP41 gelegt und deren Gate-Klemmen mittels der Klemme 480 durch eine Referenzspannung Vref1 polarisiert sind.

Vref1 ist gleich HI-V abzüglich etwa 5 Volt. Die Drains der MOS-Transistoren MP40 und MP41 der Stufe 410 werden auf diese Weise polarisiert, um auf keiner zu niedrigen Spannung zu sein. Dies begrenzt den Umschaltstrom und erhöht so die Leistung, da die Schaltung durch die HI-V-Spannungsquelle versorgt wird, deren Ausgangsbelastung gering ist.

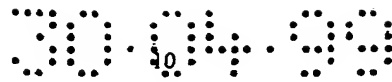
Die Steuersignale $\Phi 1$, $N\Phi 1$, $\Phi 2$, $N\Phi 2$ und $\Phi 3$ werden vorzugsweise von Schaltungen aus erzeugt, die mit der hohen Spannung HI-V aus versorgt werden, wie nachstehend beschrieben.

Es sei darauf hingewiesen, daß die Transistoren MN1 bis MN6 symmetrische CMOS-Transistoren sind und ihre jeweiligen Drain- und Source-Klemmen gegeneinander ausgetauscht werden können. Ferner ist es vorzuziehen, daß die Transistoren MN2 und MN5 "native" NMOS-Transistoren sind, d.h. Transistoren, bei denen keine Anpassung der Gateschwellenspannung (V_{th}) vorgenommen wurde und die folglich eine geringe Leitungsschwelle haben.

Figur 3b stellt eine Schaltung dar, die vorzugsweise zum Erzeugen einer Spannung mit einem Wert VZ verwendet wird. Da identische elektrische Ladungen das Grundprinzip eines linear ansteigenden Signals darstellen, soll der Abtastkondensator C20 vorzugsweise mit einer konstanten Spannung versorgt werden.

Wie dargestellt, wird die Versorgung VZ von einer Zener-Diode DZ erzeugt, die zwischen einen Knoten mit der Spannung HI-V und einen Knoten mit der Spannung VSS in Serie mit einem PCMOS-Transistor MP6 geschaltet ist. Da eine solche Schaltung Strom verbraucht, ist es ferner vorzuziehen, daß sie durch ein zyklisches Signal VE umgeschaltet wird. Das Signal VE ermöglicht es, daß die Schaltung MP6-DZ nur leitend ist, wenn C20 geladen werden soll: wenn die Schalter S20 und S22 in Richtung auf ihre erste Position kippen.

In kennzeichnender Weise erfolgt diese Leitung alle 16 Mikrosekunden während drei Mikrosekunden. Die Leitung wird mittels eines Stromspiegels erreicht, der den Transistor MP6 in dem Zweig der Diode DZ und einen Transistor MP5 in einem Zweig umfaßt, der ferner eine Serie von zwei NMOS-Transistoren MN12 und MN13 umfaßt. Der Transistor MN12 wird zur Konditionierung der Leitung der Diode DZ beim Empfang von Signalen VE an ihrem Gate verwendet. Das Gate des Transistors MP5 ist an das Gate des Transistors MP6 und an seinen eigenen Drain angeschlossen. Der Transistor MP5 funktioniert als Stromerzeuger, dessen Wert durch eine konstante Spannung V_{ref} bestimmt wird, die am Gate des Transistors MN13 erscheint. Die konstante Spannung V_{ref} wiederum wird von einer herkömmlichen WILSON-Spiegelschaltung erzeugt, die die PCMOS-Transistoren MP1 bis MP4 und die NCMOS-Transistoren MN10, MN11 und MN14 umfaßt. Dieser WILSON-



ert, daß sie den Schalter S20 der Figur 2a darstellen. Die entsprechenden Gate-Klemmen der Transistoren MN1 und MN2 werden von den jeweiligen Steuersignalen $\Phi 1$ und $N\Phi 1$ gesteuert. Das Signal $N\Phi 1$ ist das umgekehrte Signal von $\Phi 1$. Diese werden von der Schaltung der Figur 3c erzeugt.

5 Die Drain-Klemme des Transistors MN3 bildet den Knoten 28 und ist an die negative Platte des Kondensators C20 angelegt, seine Source-Klemme bildet den Knoten 26 und ist an die Klemme mit negativer Spannung VSS angelegt. Die Source-Klemme des Transistors MN4 bildet den Knoten 28 und seine Drain-Klemme den Knoten 27, welcher an die positive Platte des Kondensators C24 gelegt ist. Die Transistoren MN3 und MN4 sind so geschaltet und gesteuert, daß sie den Schalter S22 der Figur 2a darstellen. Die entsprechenden Gate-Klemmen der Transistoren MN3 und MN4 werden von den jeweiligen Steuersignalen $\Phi 2$ und $N\Phi 2$ gesteuert. Das Signal $N\Phi 2$ ist das umgekehrte Signal von $\Phi 2$. Diese können ebenfalls von der Schaltung der Figur 10 3c erzeugt werden.

15 Der Transistor MN5 ist so geschaltet und gesteuert, daß er die Spannungsleitungsschaltung 22 der Figur 2a darstellt. Die Drain-Klemme des Transistors MN5 ist über die Diode D an den Knoten 25 gelegt, d.h. die positive Platte des Kondensators C20. Seine Gate-Klemme ist an den Knoten 24, d.h. die positive Platte des Kondensators C22 gelegt und seine Source-Klemme bildet den Knoten 29. Seine Drain-Klemme ist an einen Knoten HI-V angelegt. Die Diode D wird von einem NCMOS-Transistor dargestellt, der als Diode in direkter Richtung angeschlossen ist, dessen Anode, die an den Knoten 25 angelegt ist, gebildet wird, indem die Gate- und Drain-Klemmen 20 zusammengesgeschlossen werden, wobei die Kathode dieser Diode, d.h. die Source-Klemme, an die Drain-Klemme des Transistors MN5 und an den Knoten HI-V angelegt ist. Vorzugsweise ist diese Diode D eingebaut, insoweit als sie das Entstehen jeglicher Überspannung am Knoten 25 verhindert, die durch den Erhöhungseffekt entstehen kann.

25 30 Der Transistor MN6 ist so geschaltet und gesteuert, daß er den Schalter S24 der Figur 2a darstellt. Die Drain-Klemme des Transistors MN6 ist an die Source-Klemme des Transistors MN5, seine Source-Klemme an die positive Platte 24 des Kondensators C24 gelegt, und seine Gate-Klemme wird von dem Steuersignal $\Phi 3$ gesteuert.

Zum Zeitpunkt t_6 kippen die Schalter S20 und S22 aus ihrer zweiten jeweiligen Position und kehren in ihre erste jeweilige Position zurück, wobei der Schalter S24 offen bleibt, wie es vorstehend für den Zeitpunkt t_2 beschrieben ist.

5 In dem von $t_6 < t < t_7$ definierten Zeitraum - die Schalter S20 und S22 befinden sich in ihrer ersten jeweiligen Position und der Schalter S24 ist offen - sind die drei Kondensatoren C20, C22 und C24 alle physikalisch voneinander isoliert. Die positive Platte 25 des Kondensators C20 lädt sich auf den Spannungswert V_{cc} auf.

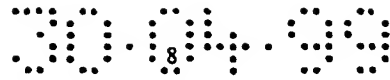
10 Zum Zeitpunkt t_7 schließt sich der Schalter S24 und legt die Ausgangsklemme 29 der Spannungsleitungsschaltung 22 an die positive Platte 27 des Kondensators C24 an, wie vorstehend für den Zeitpunkt t_3 beschrieben, und so fort.

15 Figur 2c zeigt das Taktverhältnis der jeweiligen Steuersignale Φ_1 , Φ_2 und Φ_3 der jeweiligen Schalter S20, S22 und S24, wie mit Bezug zu den Figuren 2a und 2b beschrieben. Die Dauer eines Zyklus geht vom Zeitpunkt t_1 bis zum Zeitpunkt t_5 .

20 Von Figur 2c an sieht man, daß der Schalter S24 nicht zwingend vorgesehen werden muß. Theoretisch könnte er durch einen Kurzschluß ersetzt werden, wenn die Schalter S20 und S22 so gesteuert würden, daß der Schalter S20 sich nie in seiner zweiten Position befindet, wenn sich der Schalter S22 in seiner zweiten Position befindet (und umgekehrt). Obwohl dies in bestimmten Fällen zu einer instabilen Schaltung führt, könnte es funktionieren.

25 Figur 3a zeigt ein Beispiel eines Schaltungsschemas des digitalen Rampengenerators der Figur 2a. Dieses Schaltungsschema zeigt sechs NCMOS-Transistoren MN1 bis MN6, eine Diode D und die drei Kondensatoren C20, C22 und C24.

30 Die Source-Klemme des Transistors MN1 bildet den Knoten 23 und ist vorzugsweise an eine Versorgungsspannung V_Z angelegt. Die Spannung V_Z wird von der Schaltung der Figur 3b erzeugt. Der Wert von V_Z liegt im Bereich von V_{cc} , aber in gepulster Form. Die Drain-Klemme des MN1 bildet den Knoten 25 und ist an die positive Platte des Kondensators C20 angelegt. Die Drain-Klemme des Transistors MN2 bildet den Knoten 25 und seine Source-Klemme den Knoten 24, welcher an die positive Platte des Kondensators C22
35 angelegt ist. Die Transistoren MN1 und MN2 sind so geschaltet und gesteu-



gangsklemme 29 der Spannungsleitungsschaltung 22 an die positivste Platte 27 des Kondensators C24 anlegt.

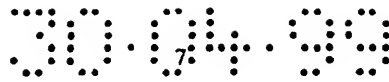
5 In dem von $t_3 < t < t_4$ definierten Zeitraum wird der Kondensator C24 mit der Spannung VPP der Spannungsleitungsschaltung geladen, die an der Ausgangsklemme 29 der Spannungsleitungsschaltung 22 vorhanden ist. D.h., daß er sich praktisch auf den in der Gleichung 3 gegebenen Spannungswert auflädt. Die elektrischen Ladungen stammen von der Versorgung HI-V.

10 Zum Zeitpunkt t_4 - die Schalter S20 und S22 befinden sich immer noch in ihrer ersten jeweiligen Position - öffnet sich der Schalter S24 und trennt die Ausgangsklemme 29 der Spannungsleitungsschaltung 22 von der positivsten Platte 27 des Kondensators C24, welcher praktisch seine Ladung hält.

15 In dem von $t_4 < t < t_5$ definierten Zeitraum bleiben die Schalter S20 und S22 in ihrer ersten jeweiligen Position und bleibt der Schalter S24 offen. Es tritt das gleiche Phänomen auf wie während des Zeitraums t_0 - t_1 , nur daß der Knoten 27 nicht mehr VSS aufweist, sondern auf den Wert VPP gebracht wird.

Zum Zeitpunkt t_5 kippen die Schalter S20 und S22 aus ihrer ersten jeweiligen Position in ihre zweite jeweilige Position, wie es vorstehend für den Zeitpunkt t_1 beschrieben wurde.

20 In dem von $t_5 < t < t_6$ definierten Zeitraum - die Schalter S20 und S22 befinden sich in ihrer zweiten jeweiligen Position und der Schalter S24 ist offen - werden die in Serie geschalteten Kondensatoren C20 und C24 nun wieder in Serie geschaltet. Diese Einheit von Kondensatoren C20 und C24 ist mit dem Kondensator C22 parallel geschaltet, wie vorstehend für den Zeitraum 25 $t_1 < t < t_2$ beschrieben. Während dieses Zeitraums lädt sich der Kondensator C24 jedoch bis auf die durch die Gleichung 3 gegebene Spannung auf, nämlich VPP, so daß der Kondensator C24 die negative Platte des Kondensators C20 bis zu diesem Spannungswert anhebt. Der Pump- oder Anhebungseffekt besteht darin, daß die negative Platte 28 des Kondensators C20 immer bezogen auf die vorherige Programmierungsspannung VPP gemessen wird, wenn sich die Schalter S20 und S22 in ihrer jeweiligen zweiten Position befinden. 30 Allgemeiner gesagt, umfaßt der Eingangs-Abtastkondensator C20 immer eine negative Platte 28, die entweder bezogen auf Masse oder mittels eines Ausgangs-Anhebungskondensators C24 bezogen auf den laufenden Wert der Ausgangsspannung VPP gemessen wird, so daß die Eingangsspannung Vcc zur laufenden Ausgangsspannung VPP dazugeschlagen wird. 35



Am Anfang, während dieses ersten besonderen Zeitraums, beträgt die Spannung an den Klemmen des Kondensators C24 dagegen null Volt. So findet keine Spannungserhöhung statt. Dennoch kann man, ausgehend vom Prinzip der Ladungserhaltung, folgende Gleichung erhalten:

5
$$dVPP = VPP(t+1) - VPP(t) = [C20 / (C20 + C22)] Vcc.$$

Gleichung 2.

Diese Gleichung 2 bleibt selbst während der folgenden Zyklen wahr. Im übrigen gibt es in der Gleichung 2 rechts kein Glied $VPP(t)$, im Gegensatz zu Gleichung 1. Das Fehlen des Glieds $VPP(t)$ auf der rechten Seite der Gleichung 2 ist der Grund für die große Verbesserung der Linearität der Steigung der Spannung VPP , d.h. $dVPP/dt$.

Somit erhält man durch Integration der Gleichung 2:

10
$$VPP = [C20 / (C20 + C22)] \cdot A \cdot Vcc \cdot t \text{ (Gleichung 3),}$$

in der A eine Konstante ist, die proportional zur Schaltfrequenz der Schalter S20 und S22 ist.

Wie es der Name Spannungsleitungsschaltung sagt, folgt die Spannung VPP an der Ausgangsklemme 29 der Spannungsleitungsschaltung 22 der Spannung an ihrer Eingangsklemme 24 oder setzt sie fort. Dadurch ist die Spannung VPP , da die Eingangsklemme der Spannungsleitungsschaltung 22 an den Knoten 24 gelegt ist, an der Ausgangsklemme 29 der Spannungsleitungsschaltung 22 praktisch gleich der durch die Gleichung 3 gegebenen Spannung.

Zum Zeitpunkt t_2 kippen die Schalter S20 und S22 aus ihrer zweiten jeweiligen Position und kehren in ihre erste jeweilige Position zurück, der Schalter 24 bleibt offen. So sind die drei Kondensatoren C20, C22, C24 wieder alle voneinander isoliert. Außerdem beginnt der Kondensator C20 wieder, sich bis zur Spannung Vcc aufzuladen, er beginnt wieder, die Spannung Vcc abzutasten.

In dem von $t_2 < t < t_3$ definierten Zeitraum befinden sich die Schalter S20 und S22 in ihrer ersten jeweiligen Position, wobei die positive Platte 25 des Kondensators C20 sich wieder auf den Spannungswert Vcc auflädt. Die horizontale Strecke t_2-t_3 kann sehr kurz sein, verglichen mit der horizontalen Strecke t_0-t_1 , t_1-t_2 oder der folgenden horizontalen Strecke t_3-t_4 .

Zum Zeitpunkt t_3 bleiben die Schalter S20 und S22 immer noch in ihrer ersten jeweiligen Position, wobei sich der Schalter S24 schließt und die Aus-

densator C24 zwischen den Knoten 27 und den Spannungsreferenzwert VSS geschaltet. Der Kondensator C20 ist jeweils zwischen die Knoten 25 und 28 der Schalter S20 bzw. S22 geschaltet. In der Praxis wird eine nicht regulierte Programmierungs-Versorgungsspannung HI mit nicht dargestellten Vorrichtungen auf ihren benötigten Wert HI-V gebracht.

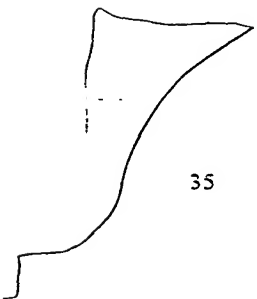
Der Basisbetrieb des erfindungsgemäßen Rampengenerators 20 kann in eine Serie von Zeitintervallen unterteilt werden. Die nachfolgende Beschreibung berücksichtigt weder den relativ geringen und praktisch konstanten Schwellenwert noch die Umschaltverluste, etc. Zum Zeitpunkt t_0 (Figur 2b) kann man davon ausgehen, daß alle Kondensatoren, C20, C22, C24, vollkommen entladen und physikalisch voneinander isoliert sind und daß der Wert der Kapazität des Kondensators C24 größer als der von C22 ist, dessen Kapazität wiederum einen höheren Wert aufweist als C20. Ferner wird angenommen, daß die Schalter S20, S22 und S24 von den entsprechenden, in Figur 2c dargestellten Steuersignalen $\Phi 1$, $\Phi 2$, $\Phi 3$ gesteuert werden.

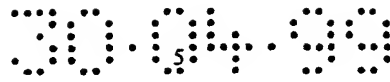
Figur 2b zeigt die Geschwindigkeit der Veränderung der Programmierungsspannung der Figur 2a in Abhängigkeit von der Zeit.

In dem von $t_0 < t < t_1$ definierten Zeitraum befinden sich die Schalter S20 und S22 in ihrer ersten jeweiligen Position, wie mit einer durchgehenden Linie dargestellt, und ist der Schalter S24 offen: auf diese Weise sind die drei Kondensatoren C20, C22, C24 alle physikalisch voneinander isoliert. Die positive Platte 25 des Kondensators C20 lädt sich bis zum Spannungswert V_{cc} auf, unter der Annahme, daß die Spannung VSS mittels des Schalters S22 in bezug auf Masse gemessen wird.

Zum Zeitpunkt t_1 kippen die Schalter S20 und S22 gleichzeitig oder praktisch gleichzeitig aus ihrer ersten jeweiligen Position in ihre zweite jeweilige Position, wie mit gestrichelten Linien gezeigt; der Schalter S24 bleibt offen.

In dem von $t_1 < t < t_2$ definierten Zeitraum, während dessen die Schalter S20 und S22 in ihrer jeweiligen zweiten Position sind und der Schalter S24 offen ist, sind die Kondensatoren C24 und C20 nun in Serie geschaltet. Außerdem ist diese Einheit aus den in Serie geschalteten Kondensatoren C24 und C20 mit dem Kondensator C22 parallelgeschaltet. Die positive Platte 27 des Kondensators C24 ist an die negative Platte 28 des Kondensators C20 gelegt. Daraus folgt, daß die positive Platte 25 des Kondensators C20 auf einen Spannungspegel gebracht wird, die über dem Spannungspegel VPP liegt, der vorher am Ausgang des Komparators 22 verfügbar war.





Figur 2b zeigt die Geschwindigkeit der Veränderung der Programmierungsspannung der Figur 2a in Abhängigkeit von der Zeit.

Figur 2c veranschaulicht das Taktungsverhältnis der Steuersignale der drei Schalter, wie im Zusammenhang mit den Figuren 2a und 2b beschrieben.

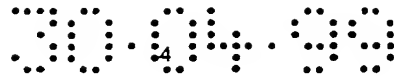
5 Die Figuren 3a, 3b und 3c zeigen ein Beispiel eines Schaltungsschemas des digitalen Rampengenerators der Figur 2a.

Figur 4 zeigt die zur Steuerung der Schaltungen der Figuren 3a bis 3c verwendeten Signale.

10 Figur 5 zeigt ein Schaltbild eines Steuerungssignalgenerators, der zur Erzeugung der Spannungspegel der Figur 4 verwendet wird.

Figur 2a ist eine repräsentative Darstellung eines erfindungskonformen digitalen Rampengenerators. Dieser digitale Rampengenerator 20 umfaßt zwei unipolare Schalter mit zwei Kontakten S20 und S22, einen unipolaren Schalter mit einem Kontakt S24, drei Kondensatoren C20, C22, C24 und eine Spannungsleitungsschaltung 22.

15 Ein erster Kontakt des durch den Knoten 23 dargestellten Schalters S20 wird an Vcc gelegt, sein zweiter Kontakt bilden den Knoten 24 dargestellt, und sein gemeinsamer Knoten bilden den Knoten 25 dargestellt. In einer ersten Position des Schalters S20 ist der Knoten 25 an den Knoten 23 gelegt. In einer zweiten Position ist der Knoten 25 an den Knoten 24 gelegt. Ein erster Kontakt des Schalters S22 bilden den Knoten 26 dargestellt, sein zweiter Kontakt bilden den Knoten 27 dargestellt, und sein zweiter gemeinsamer Knoten bilden den Knoten 28 dargestellt. In einer ersten Position des Schalters S22 ist der Knoten 28 an den Knoten 26 gelegt. In einer zweiten Position ist der Knoten 28 an den Knoten 27 gelegt. Wenn der Knoten 23 an einen Versorgungseingang Vcc gelegt wird, wird der Knoten 26 an einen Masseeingang, und zwar VSS, gelegt. Der Kondensator C22 ist zwischen den Knoten 24 und die Referenzspannung VSS gelegt. Der Knoten 24 liefert eine Rampenspannung. Die Spannungsleitungsschaltung 22 nimmt diese Rampenspannung an einem ersten Eingang auf und erzeugt an ihrer Ausgangsklemme 29 eine Rampenausgangsspannung VPP. Die Ausgangsklemme 29 ist an einen zweiten Eingang der Spannungsleitungsschaltung 22 gelegt. Die Spannungsleitungsschaltung 22 könnte ein Operationsverstärker sein, der als Spannungsleitungsschaltung geschaltet ist. Schematisch wird die Spannungsleitungsschaltung 22 mit einer hohen Eingangsspannung HI-V versorgt. Der Schalter S24 ist in Serie zwischen die Knoten 27 und 29 und der Kon-



Schaltungen erreicht, die durch ihre unterschiedlichen Merkmale schwer zu regulieren sind.

Somit besteht ein Ziel der vorliegenden Erfindung darin, eine Rampenspannung zu erzeugen, die von einer gegebenen Spannung aus erreicht wird. Die gegebene Spannung kann, muß aber nicht einen Wert aufweisen, der unter der nominalen Rampenspannung liegt. Die Vorrichtung zur Erzeugung der Rampenspannung umfaßt eine Vorrichtung zum Abtasten der gegebenen Spannung und eine Vorrichtung zur Regulierung der Rampenspannung auf einen gewünschten Wert. Die Abtastvorrichtung für die gegebene Spannung ist so angeschlossen, gesteuert und auch geführt, daß die Rampenspannung graduell gesteuert ansteigt, wobei der graduelle Anstieg der Rampenspannung praktisch linear ist. Ein solches Ergebnis wird mit dem in dem Dokument US 5 315 547 beschriebenen Generator erreicht.

Gegenstand der vorliegenden Erfindung ist es, eine Alternative zu diesem Generator des Stands der Technik vorzuschlagen.

Die vorliegende Erfindung schlägt nämlich einen digitalen Rampengenerator vor, der eine Abtastschaltung aufweist, die gemäß dem kennzeichnenden Teil des Anspruchs 1 gesteuert ist.

Eine Steuerschaltung steuert die Funktionalitäten der Abtast-, Übertragungs- und Spannungserhöhungsschaltungen je nach den Phasen, in denen

a) das Abtasten der Eingangsspannung zum ersten Mal erfolgt,

b) eine der abgetasteten Eingangsladung entsprechende Spannung dann der Eingangsspannung der Spannungserhöhungsschaltung zugeschlagen wird,

c) die resultierende Zusatzspannung dann von der Übertragungsschaltung zum Ausgang des Generators hin übertragen wird.

Das Ziel der vorliegenden Erfindung wie auch noch weitere Ziele, Vorteile und Besonderheiten gehen aus der nachfolgenden detaillierten Beschreibung und den beiliegenden Figuren hervor, deren Zielsetzung nicht erschöpfend ist.

Figur 1a zeigt eine bereits beschriebene Darstellung eines Schemas einer Basisschaltung einer Ladungsschaltung.

Figur 1b zeigt eine graphische Darstellung der Geschwindigkeit der Veränderung der Ausgangsspannung der Figur 1a.

Figur 2a zeigt einen der vorliegenden Erfindung entsprechenden digitalen Rampengenerator.



Anschließend geht der Schalter S1 zum Zeitpunkt $t(n+1)$ aus seiner ersten in seine zweite Position über, wobei die zweite Position durch die gestrichelten Linien dargestellt ist. Die Kondensatoren C1 und C2 sind nun zwischen der Ausgangsklemme 16 und der Klemme mit negativer Spannung VSS parallelgeschaltet, und die beiden Kondensatoren (C1, C2) sind von der Spannungsversorgung 5 isoliert. Auf diese Weise teilt sich jetzt die von den Kondensatoren C1 und C2 zum Zeitpunkt $t(n)$ gespeicherte Gesamtladung, d.h. $Q_t(n)$, zwischen den Kondensatoren C1 und C2 auf, und dadurch steigt die Spannung V_{out} von einem Wert $V_{out}(n)$ auf einen Wert $V_{out}(n+1)$. Ausgehend von dem Prinzip der Ladungserhaltung kommt man zu folgender Gleichung:

$$(C1+C2).V_{out}(n+1)=(C1.V_{in})+(C2.V_{out}(n)), \text{ und daraus zu} \\ [V_{out}(n+1)-V_{out}(n)]=[C1/(C1+C2)].[V_{in}-V_{out}(n)] \\ (\text{Gleichung 1}).$$

Von der Gleichung 1 aus sieht man, daß die linke Seite $[V_{out}(n+1)-V_{out}(n)]$ mit der Zeit kleiner wird, weil sich die rechte Seite $V_{out}(n)$ V_{in} annähert.

Fig. 1b zeigt eine graphische Darstellung der Geschwindigkeit der Veränderung der Programmierungsspannung V_{out} in Abhängigkeit von der Zeit, d.h. dV_{out}/dt . Zu vermerken ist, daß die anfängliche Veränderungshöhe des Sprungs der Spannung V_{out} viel höher ist als die Veränderungshöhe des Sprungs der Spannung V_{out} zum Ende ihres Zunehmens hin. Die gestrichelte Linie zeigt die Umhüllende der Veränderungsgeschwindigkeit dV_{out}/dt der Spannung V_{out} , die durch $V_{out} = V_{in} (1-\exp(-t/x))$ gegeben wird, wobei x proportional zu $[C1+C2]/C1$ ist.

Damit ist gezeigt, daß eine Ladungspumpe keine lineare Rampe erzeugt. Selbst bei einer hohen Versorgungsspannung ist ihre Rampe auch nicht linear und kann somit nicht als solche zum Programmieren von Speicherzellen eines EPROM-Speichers verwendet werden.

Tatsächlich wird die Spannung VPP von einer bestehenden Spannung HI-V (außerhalb oder innerhalb der integrierten Schaltung) aus durch eine Schaltung erzeugt, die einen Kondensator umfaßt, der von einer Stromquelle gespeist wird, die wiederum von dieser Spannung HI-V gespeist wird. Eine solche Schaltung hat den Nachteil, daß sie analog ist und die Zeit überwacht werden muß, wenn VPP ihren Nennwert erreicht, und daß die Dauer eines gleichbleibenden Werts überwacht werden muß. Dies wird auch mit analogen

werden. Zur Vermeidung dieser Probleme ist eine analoge Steuerung der Rampe vorgesehen. Eine Lösung dieser Art ist in dem Patent der Vereinigten Staaten US-A-5 175 706 (Edme) vorgesehen.

Die derzeit zum Erzeugen der Programmierungsspannung HI-V verwendeten Ladungspumpen erzeugen immer eine nicht konstante Geschwindigkeit der Spannungswechsel, d.h. einen $dHI-V/dt$. Soweit diese Geschwindigkeit $dHI-V/dt$ nicht konstant ist, kann sie allein nicht als echte Spannung VPP verwendet werden. Sie würde die Speicherzellen während des anfänglichen Anstiegs der Spannung HI-V tendenziell zu sehr beanspruchen. Insbesondere ist die Schankungshöhe des Sprungs der Spannung HI-V zu Beginn ihres Anstiegs größer als die Schwankungshöhe des Sprungs zum Ende ihres Anstiegs hin. Die nichtvorhandene Linearität von $dHI-V/dt$ kommt daher, daß die Ausgangsspannung dieser Schaltung einer Umhüllenden folgt, die von Natur aus exponentiell ist.

Figur 1a zeigt die Darstellung eines Schaltungsgrundschemas einer Ladungspumpenschaltung 10. Diese Ladungspumpenschaltung 10 umfaßt eine Spannungsversorgung 5, die eine Spannung V_{in} liefert, einen unipolaren Schalter mit zwei Kontakten S1 und einen ersten und einen zweiten Kondensator C1, C2.

Zur Veranschaulichung dieses Problems der nichtvorhandenen Linearität gehen wir von einem Zeitpunkt $t(n)$ aus, zu dem der Schalter S1 seine erste, im Vollstrich dargestellte Position einnimmt und den Kondensator C1 mit der Spannungsversorgung 5 verbindet. Dadurch wird die erste Platte 12 des Kondensators C1 an die Klemme mit positiver Spannung V_{in} der Spannungsversorgung 5 angelegt. Die zweite Platte 14 des Kondensators C1 ist dauerhaft an die Klemme mit negativer Spannung VSS der Spannungsversorgung 5 gelegt. Erste und zweite Platte des zweiten Kondensators C2, der von dem Kondensator C1 isoliert ist, sind zwischen einer Ausgangsklemme 16 der Ladungspumpenschaltung 10 und der Klemme mit negativer Spannung VSS angelegt. Die Ausgangsklemme 16 liefert die Ausgangsspannung V_{out} . Auf diese Weise lädt sich der Kondensator C1 zum Zeitpunkt $t(n)$ bis zum Spannungswert V_{in} auf, unter der Annahme, daß VSS gegenüber Masse, d.h. 0 V, gemessen wird. Während dieses Zeitraums trägt der Kondensator C2 die Spannung $V_{out}(n)$ und ist die von den Kondensatoren C1 und C2 gespeicherte Gesamtladung durch $Q_t(n)=[C1.V_{in} + C2.V_{out}(n)]$ gegeben.



EP 0 745 996

Die vorliegende Erfindung betrifft einen digitalen Rampengenerator.
5 Genauer gesagt, bezieht sich die vorliegende Erfindung auf eine Schaltung, die eine praktisch lineare Ausgangsspannung liefert, die beispielsweise zum Programmieren elektrisch programmierbarer Speicher in Form integrierter Schaltungen verwendet werden kann.

Das Programmieren elektrisch programmierbarer Speicher in integrierter Form, allgemein bekannt als EPROM-, EEPROM- oder Flash-EEPROM-Speicher, wenn diese in Blöcken gelöscht werden, ist den Fachleuten bekannt. Diese Speicher werden mit einer hohen Spannung HI-V programmiert, die manchmal von der normalen Versorgungsspannung Vcc der Schaltung und manchmal von einer hohen Spannung aus erzeugt wird, die
15 durch eine externe Schaltung angelegt wird. Im ersteren Fall wird zum Erzeugen einer hohen Spannung HI-V in der integrierten Schaltung eine Schaltung verwendet, die üblicherweise Ladungspumpe genannt wird.

Außerdem ist in der Technik bekannt, daß die echte Programmiervspannung VPP von der hohen Spannung innerhalb des integrierten Speichers aus selbst erzeugt wird. Die Spannungen HI-V oder VPP betragen etwa
20 15 V oder mehr, während die Spannung Vcc, von der aus die Spannung VPP erzeugt werden kann, niedriger ist als die Spannung VPP. Die Spannung Vcc kann beispielsweise einen typischen Wert im Bereich von 1,5 bis 5 V aufweisen. Während die Spannung HI-V einen hohen Wert haben soll, soll die
25 Spannung VPP eine lineare Rampe liefern, der eine horizontale Strecke folgt, die auf diesen hohen Wert eingestellt ist. Typischerweise beträgt die Dauer einer Rampe 500 Mikrosekunden, während die horizontale Strecke etwa genauso lange dauert.

Eines der Probleme im Zusammenhang mit der Programmierung der vorstehend genannten Speicher liegt darin, daß, wenn man die Programmierungsspannung VPP während ihrer Rampe zu schnell erhöht, die Lebensdauer der Speicherzellen erheblich verringert wird, weil die ansteigende Flanke der Spannung VPP während des Programmierens direkt an die Speicherzellen angelegt wird. Eine zu schnelle Erhöhung der Spannung VPP bewirkt einen zu hohen Strom durch Tunneleffekt in den Gateoxiden der Transistoren
35 mit offenem Gitter, die die Speicherzelle bilden. Dieses Oxid kann beschädigt



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Übersetzung der
europäischen Patentschrift

⑧7 EP 0 745 996 B 1

⑩ DE 696 01 976 T 2

⑤1 Int. Cl.⁶:
G 11 C 16/06
H 03 K 4/02

- ⑦1 Deutsches Aktenzeichen: 696 01 976.0
⑧6 Europäisches Aktenzeichen: 96 401 155.5
⑧6 Europäischer Anmeldetag: 29. 5. 96
⑧7 Erstveröffentlichung durch das EPA: 4. 12. 96
⑧7 Veröffentlichungstag
der Patenterteilung beim EPA: 7. 4. 99
④7 Veröffentlichungstag im Patentblatt: 9. 9. 99

- ③0 Unionspriorität:
9506498 31. 05. 95 FR
- ⑦3 Patentinhaber:
STMicroelectronics S.A., Gentilly, FR
- ⑦4 Vertreter:
Beetz und Kollegen, 80538 München
- ⑧4 Benannte Vertragsstaaten:
DE, FR, GB, IT

- ⑦2 Erfinder:
Tailliet, Francois, 93800 Epinay sur Seine, FR

⑤4 Digitaler Rampengenerator

DE 696 01 976 T 2

DE 696 01 976 T 2

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.